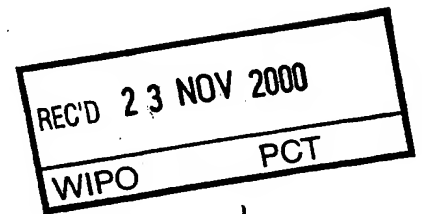


**BUNDESREPUBLIK DEUTSCHLAND**

EP00/8398

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

EJU.

**Aktenzeichen:** 199 45 494.9

**Anmeldetag:** 22. September 1999

**Anmelder/Inhaber:** Continental Teves AG & Co oHG,  
Frankfurt am Main/DE

**Bezeichnung:** RAM - Architektur

**IPC:** G 06 F 12/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 21. September 2000  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Nietiedt

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

## RAM - Architektur

Die Erfindung bezieht sich auf eine RAM - Architektur, die insbesondere für eine Schaltungsanordnung für sicherheitskritische Funktionen, z. B. für Kfz-Regelungssysteme ( ABS, ASR, ESP, etc. ) vorgesehen ist. Eine Schaltung für sicherheitskritische Anwendungen ist bereits aus der DE 198 00 311 A1 bekannt.

Die erfindungsgemäße RAM - Architektur, eine sogenannte Fail Safe RAM - Architektur hat im Prinzip den in Figur 1 dargestellten Aufbau.

Die Fail Safe RAM Architektur nach Figur 1 besteht im wesentlichen aus folgenden Baugruppen:

- herkömmlicher, wortorientierter RAM-Array
- 2 bit Parity Array
- Bus-Interface zu CPU Bus mit
  - Parity Generierungs Logik
  - Parity Vergleichs Logik
  - Registersatz für Spaltenweise Parity oder CRC
  - State-machine zur Generierung der spaltenweisen Parity/CRC

Dies wird durch die Figuren 2 und 3 veranschaulicht.

In dem Parity Array wird bei jedem Schreiben eine durch die Parity Logik generierte, 2 bit Parity für jedes Wort im RAM Array abgelegt. Dabei ist pro Halbwort ein Parity-bit vorgesehen. Beim Lesen eines Wortes/Halbwortes wird von dem im RAM-Array abgelegten Wort erneut eine 2 bit Parity generiert und mit der entsprechenden, beim Schreiben bereits abgelegten verglichen. Bei Nicht-Übereinstimmung wird dies über eine Signalleitung nach außen gemeldet, siehe Figur 4.

Jeweils für Bit aller im RAM abgelegten Worte wird spaltenweise eine Parity generiert und in einem Register abgelegt. Beim Schreiben eines neuen Wortes an einer beliebigen Stelle im RAM muß dafür zunächst der alte Wert dieser Stelle ausgelesen werden, ebenso der alte Wert des Parity Registers. Der neu ermittelte Wert des Parity-Registers wird dann zusammen mit dem neuen Wort für das RAM zurückgeschrieben.

Anstelle der spaltenweisen Parität ist auch eine entsprechend ausgelegte CRC-Checksumme möglich. Der Mechanismus für die Generierung einer neuen Checksumme beim Schreiben eines neuen RAM-Wortes ist analog zu dem der spaltenweisen Parity.

Vorteile gegenüber bestehenden Lösungen:

Es wird die gleiche Sicherheit der Daten im RAM gewährleistet wie bei vollredundanten Lösungen mit weniger Flächenverbrauch erreicht. Durch die Beschriebenen Änderungen / Zusätze an einem RAM Modul kann man das zweite Modul (und damit Siliziumfläche) einsparen, ohne an Sicherheit zu verlieren.

Ein entscheidender Punkt für die erfindungsgemäße Schaltung besteht darin, daß durch die automatische Generierung und den automatisierten Vergleich der reihenweisen Parity läßt sich ein einzelner Bitfehler sofort online beim Auslesen erkennen läßt. Außerdem ist von Bedeutung, daß mit Hilfe der spaltenweisen Parity bzw. der CRC-Checksumme und eines zyklisch ablaufenden Parity-Tests / einer CRC Berechnung erfolgt, wobei per Software der jeweilige Mechanismus nachgebildet wird. Durch Vergleich des errechneten Wertes mit dem im Register abgelegten Wert lassen sich auch Fehler im Adress-Decoder sowie Doppel-Bitfehler und weitere Fehler finden.

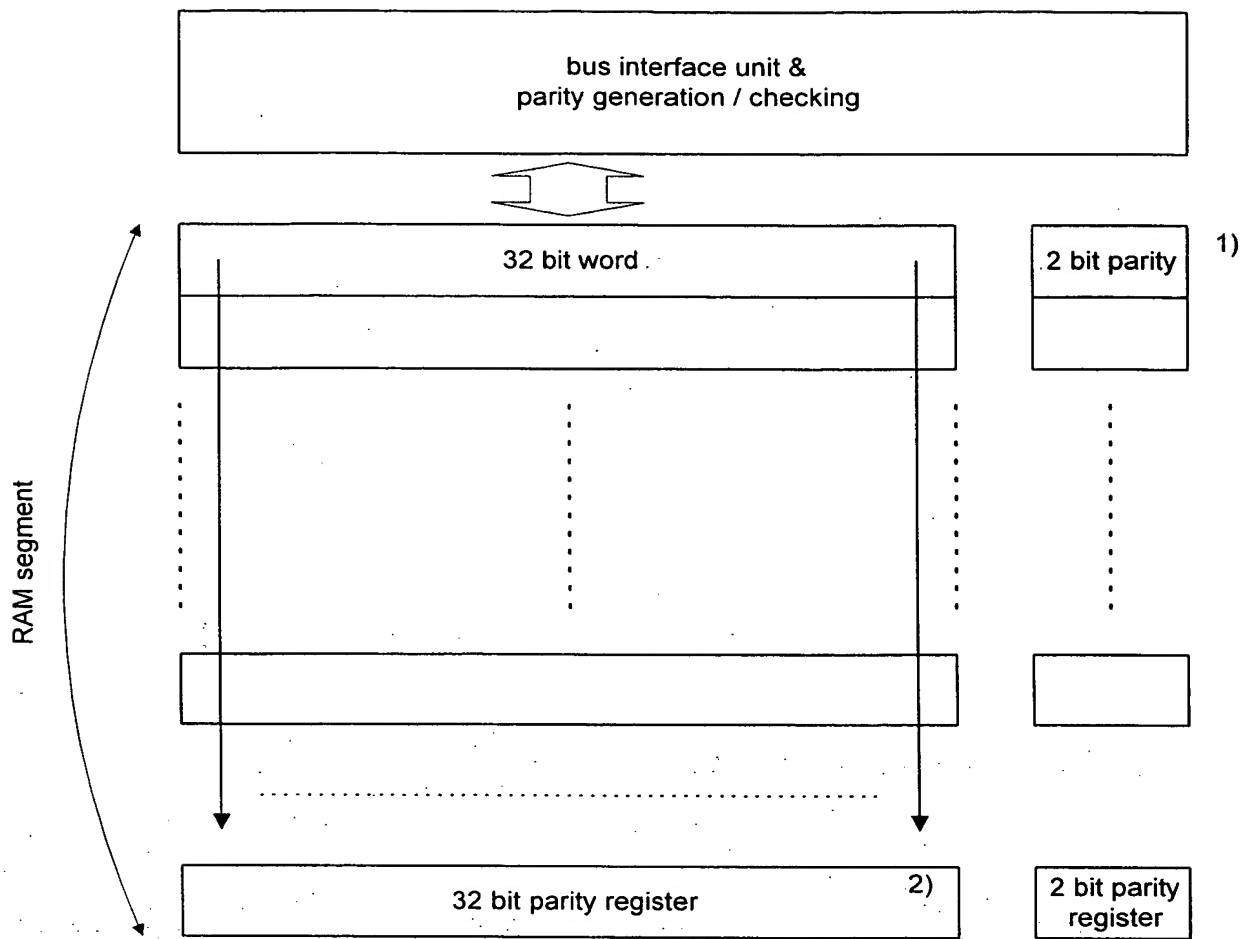


Fig. 1

1) row parity: 1 parity bit per 16 bit halfword

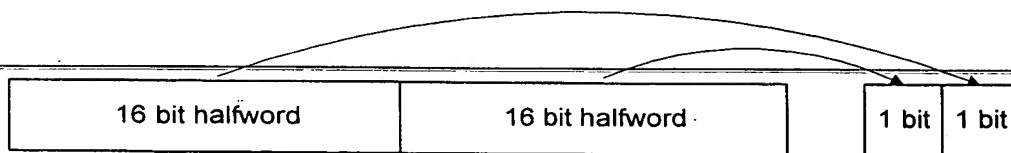
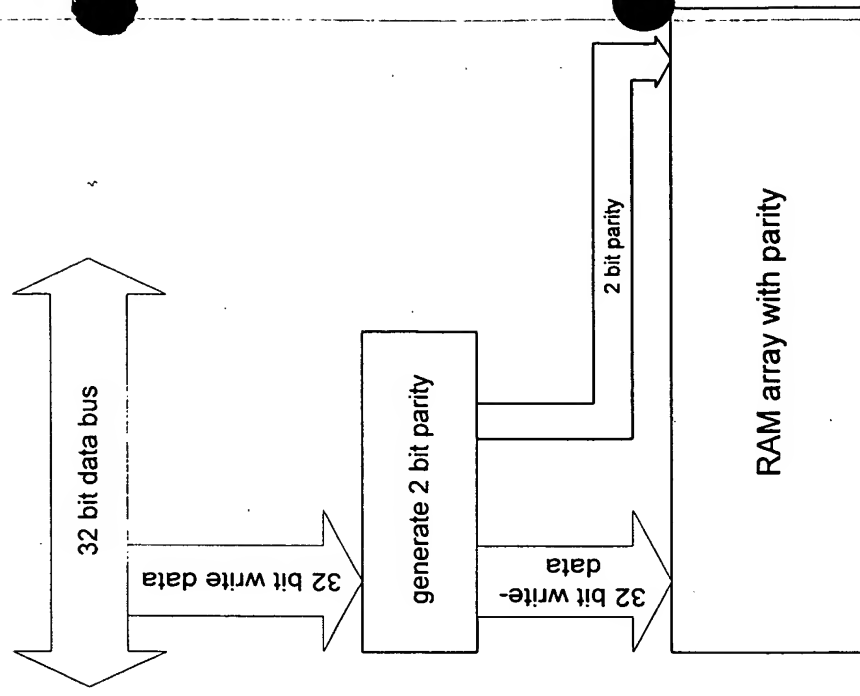


Fig. 2

WRITE



READ

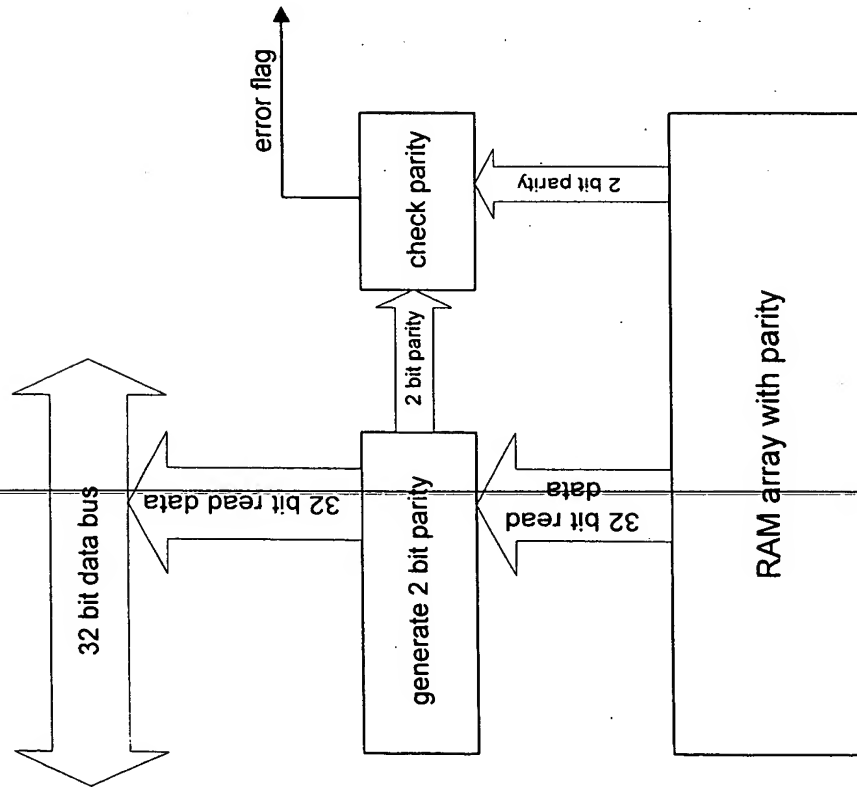


Fig. 3

